

A

PAT-NO: JP411088119A
DOCUMENT-IDENTIFIER: JP 11088119 A
TITLE: DIGITAL FILTER
PUBN-DATE: March 30, 1999

INVENTOR-INFORMATION:
NAME
NIKAWA, HIDEMITSU

ASSIGNEE-INFORMATION:
NAME
NEC CORP

IX
COUNTRY
N/A
1/4/99
"102(d)"

APPL-NO: JP09237568
APPL-DATE: September 3, 1997

INT-CL (IPC): H03H017/02, H03H017/02, H03H017/02, H03H017/02, H03H017/06
, H03H017/08, H04N005/14

ABSTRACT:

PROBLEM TO BE SOLVED: To keep the symmetrical property of a filter, to keep the phase of an output signal and to suppress a phase distortion by executing control to disconnect an input to a multiplier corresponding to a tap when a non-target signal is supplied to the tap and, at the same time, disconnect input signal supply to the multiplier which is symmetrical as against the tap.

SOLUTION: Video signals are successively inputted from an input terminal 1 of a video signal processing digital filter with five-tap configuration and the respective signals are delayed by 1H delay elements 2-5 with a serial connecting configuration. A coefficient to be the tap coefficient of the filter is multiplied by multipliers 11-15 concerning the respective delay signals, the total sum of the respective multiplying outputs is obtained in an adder 21 and the output signal is derived. In this case, the signals to be inputted to the multipliers 11-15 are disconnected through the use of selectors 6-10 in accordance with the timings of the input signals and control is executed so as to permit the output of the tap to be symmetrical as against the coefficient of the tap without the target signal to be 'zero'.

COPYRIGHT: (C)1999,JPO

【特許請求の範囲】

【請求項1】 フィルタ処理すべき目的の信号とフィルタ処理を必要としない非目的の信号とが時系列的に送出される信号が入力端子に供給され、互いに直列に接続され前記入力信号を夫々等しい時間遅延して出力する複数の遅延素子と、前記入力信号及び前記遅延素子の各出力信号に所定タップ係数を乗算する複数の乗算器と、これ等乗算出力を加算して出力する加算器とを含むデジタルフィルタであって、前記非目的の信号がタップに供給されたとき、当該タップに対応する前記乗算器への入力を断とすると同時に、センタタップに関して当該タップと対称な前記乗算器への入力の信号供給をも断とするよう制御する制御手段を含むことを特徴とするデジタルフィルタ。

【請求項2】 前記制御手段は、前記乗算器の各入力と前記入力端子及び前記遅延素子の各出力端子との間に夫々設けられ前記乗算器の各入力への供給信号を断とするための0端子を有する複数のセレクトを有し、前記非目的の信号がタップに供給されたとき、互いに対称なタップに対応する前記乗算器の入力の各セレクトが前記0端子を選択するよう制御することを特徴とする請求項1記載のデジタルフィルタ。

【請求項3】 フィルタ処理すべき目的の信号とフィルタ処理を必要としない非目的の信号とが時系列的に送出される信号が入力端子に供給され、互いに直列に接続され前記入力信号を夫々等しい時間遅延して出力する複数の遅延素子と、前記入力信号及び前記遅延素子の各出力信号に所定タップ係数を乗算する複数の乗算器と、これ等乗算出力を加算して出力する加算器とを含むデジタルフィルタであって、タップに前記非目的の信号が供給されたとき、センタタップに関して当該タップと対称な前記乗算器への入力信号の符号反転信号を当該タップに対応する乗算器の入力信号とするよう制御する制御手段を含むことを特徴とするデジタルフィルタ。

【請求項4】 前記制御手段は、前記乗算器への各入力信号の符号を反転する複数の符号反転器を有し、前記非目的の信号がタップに供給されたとき、当該タップと対称なタップに対応する前記符号反転器の出力を当該タップに対応する乗算器の入力とするよう制御することを特徴とする請求項3記載のデジタルフィルタ。

【請求項5】 前記目的の信号は画像信号であり、前記非目的の信号は前記画像信号以外のブランキング期間の信号であり、前記遅延素子は1H遅延素子であることを特徴とする請求項1～4いずれか記載のデジタルフィルタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はデジタルフィルタに関し、特に映像信号の処理に使用されるデジタルフィルタに関するものである。

【0002】

【従来の技術】従来のこの種のデジタルフィルタの例として、特開平5-219413号公報に開示のものがあり、図13にそのブロック図を示す。図13においては、7タップ構成の映像信号処理用デジタルフィルタである。

【0003】図13において、入力端子70からの映像信号は、6個の1H遅延素子31～36の直列接続構成の回路に順次入力される。入力信号が6個の遅延素子31～36の出力信号の、合計7つの信号は乗算器37～43へ夫々入力されて、セレクト44～50により選択された各タップ係数と乗算される。これ等各乗算出力は加算器71にて加算されて出力端子72より導出される。

【0004】かかる構成において、入力端子70から映像信号が入力され、直列接続された1H遅延素子31～36にて夫々遅延される。入力信号とこれ等各遅延出力とは乗算器37～43においてフィルタのタップ係数となる係数が乗算され、加算器71にてこれ等乗算出力の総和が取られて出力信号が得られるものである。

【0005】乗算器37～43において各遅延信号に乗算される係数は、入力信号のタイミングによってセレクト44～50を用いることによって、フィルタ処理を必要としない信号の場合には、“0”とされ、フィルタ処理すべき信号の場合には、“0”以外の所定の値とされる様になっている。

【0006】図14、図15に図13の従来回路における各タップ係数の移り変わりと、ディジタルフィルタの出力信号を示す。図14は各タップの係数の移り変わりを示しており、図14において、 L_n ($n=1, 2, 3, \dots$) は時系列的な画素の各々を表しており、○はフィルタ処理すべき目的とする信号であって映像信号であることを表している。また、●はフィルタ処理を必要としない非目的の信号であってブランキング期間等の信号である。

【0007】また、タップ係数 A_i については、 A_i と A_{-i} とは対称性を示すために便宜的に表記しており、両者は同一のものであるものとする。

【0008】センタタップが信号 L_6 にある時、デジタルフィルタの係数は、

$\{0, 0, 0, A_{-3}+A_{-2}+A_{-1}+A_0, A_1, A_2, A_3\}$

となり、その時の出力信号は、

$(A_{-3}+A_{-2}+A_{-1}+A_0) \cdot L_6 + A_1 \cdot L_7 + A_2 \cdot L_8 + A_3 \cdot L_9$

となる。

【0009】センタタップが信号 L_7 にある時、デジタルフィルタの係数は、

$\{0, 0, A_{-3}+A_{-2}+A_{-1}, A_0, A_1, A_2, A_3\}$

となり、その時の出力信号は、

$$(A-3+A-2+A-1) \cdot L6 + A0 \cdot L7 + A1 \cdot L8 + A2 \cdot L9 + A3 \cdot L10$$

となる。

【0010】センタタップが信号L17にある時、デジタルフィルタの係数は、

$$\{A-3, A-2, A-1, A0, A1 + A2 + A3, 0, 0\}$$

となり、その時の出力信号は、

$$A-3 \cdot L14 + A-2 \cdot L15 + A-1 \cdot L16 + A0 \cdot L17 + (A1 + A2 + A3) \cdot L18$$

となる。

【0011】センタタップが信号L18にある時、デジタルフィルタの係数は、

$$\{A-3, A-2, A-1, A0 + A1 + A2 + A3, 0, 0, 0\}$$

となり、その時の出力信号は、

$$A-3 \cdot L15 + A-2 \cdot L16 + A-1 \cdot L17 + (A0 + A1 + A2 + A3) \cdot L18$$

となる。

【0012】

【発明が解決しようとする課題】従来のデジタルフィルタは以上の様に構成されて動作するので、フィルタが画像信号でないところにかかると、タップの片側だけどんどん短くなってフィルタが非対称になってしまう。フィルタが非対称になると、出力した信号の画素位置（位相）が元のフィルタをかける前の信号に比べてずれてしまうという問題があり、フィルタのタップ数が多い場合また、デジタルフィルタが直列接続されている場合この問題が大きくなってしまふ。

【0013】本発明の目的は、フィルタの対称性を維持するようにして出力信号の位相を保って位相歪みを抑圧可能としたデジタルフィルタを提供することである。

【0014】

【課題を解決するための手段】本発明によれば、フィルタ処理すべき目的の信号とフィルタ処理を必要としない非目的の信号とが時系列的に送出される信号が入力端子に供給され、互いに直列に接続され前記入力信号を夫々等しい時間遅延して出力する複数の遅延素子と、前記入力信号及び前記遅延素子の各出力信号に所定タップ係数を乗算する複数の乗算器と、これ等乗算出力を加算して出力する加算器とを含むデジタルフィルタであって、前記非目的の信号がタップに供給されたとき、当該タップに対応する前記乗算器への入力を断ると同時に、センタタップに関して当該タップと対称な前記乗算器への入力の信号供給をも断としよう制御する制御手段を含むことを特徴とするデジタルフィルタが得られる。

【0015】そして、前記制御手段は、前記乗算器の各入力と前記入力端子及び前記遅延素子の各出力端子との間に夫々設けられ前記乗算器の各入力への供給信号を断

とするための0端子を有する複数のセレクトを有し、前記非目的の信号がタップに供給されたとき、互いに対称なタップに対応する前記乗算器の入力の各セレクトが前記0端子を選択するよう制御することを特徴とする。

【0016】また、本発明によれば、フィルタ処理すべき目的の信号とフィルタ処理を必要としない非目的の信号とが時系列的に送出される信号が入力端子に供給され、互いに直列に接続され前記入力信号を夫々等しい時間遅延して出力する複数の遅延素子と、前記入力信号及び前記遅延素子の各出力信号に所定タップ係数を乗算する複数の乗算器と、これ等乗算出力を加算して出力する加算器とを含むデジタルフィルタであって、タップに前記非目的の信号が供給されたとき、センタタップに関して当該タップと対称な前記乗算器への入力信号の符号反転信号を当該タップに対応する乗算器の入力信号とするよう制御する制御手段を含むことを特徴とするデジタルフィルタが得られる。

【0017】そして、前記制御手段は、前記乗算器への各入力信号の符号を反転する複数の符号反転器を有し、前記非目的の信号がタップに供給されたとき、当該タップと対称なタップに対応する前記符号反転器の出力を当該タップに対応する乗算器の入力とするよう制御することを特徴とする。

【0018】本発明の作用を述べる。一つの発明では、フィルタ処理の必要がない非目的の信号がタップに供給されたとき、当該タップに対応する乗算器への入力を断とすると同時に、センタタップに関して当該タップと対称な乗算器への入力の信号供給をも断としよう制御することで、出力信号の対称性を維持している。

【0019】また、他の発明では、タップに当該非目的の信号が供給されたとき、センタタップに関して当該タップと対称な乗算器への入力信号の符号反転信号を当該タップに対応する乗算器の入力信号とするよう制御することで、出力信号の対称性を維持している。

【0020】

【発明の実施の形態】以下に、図面を用いて本発明の実施例について説明する。

【0021】図1は本発明の一実施例のブロック図であり、5タップ構成の映像信号処理用デジタルフィルタを示している。図1を参照すると、入力信号INは入力端子1から、互いに直列接続された4個の1H遅延素子2～5へ順次入力される。

【0022】入力信号及び4個の遅延素子の出力信号の、合計5個の信号はセレクト6～10を夫々介して対応する乗算器11～15の各一入力となっている。各セレクト6～10の他入力には、これ等各セレクト出力を零にする様な“0”信号が供給されている。

【0023】各セレクト6～10の出力は乗算器11～15へ夫々入力されて、タップ係数発生器16～20から発生されるタップと夫々乗算される。これ等乗算出力

が加算器21にて全て加算されてフィルタ出力OUT23となる。

【0024】セクタ制御部22は各セクタ6～10の制御を行うものであり、制御信号S1によりセクタ6、10の同時制御を、制御信号S2によりセクタ7、9の同時制御を、制御信号S3によりセクタ8の制御を夫々行う様になっている。すなわち、制御信号によってセンタップを中心に左右対称となるタップのセクタの同時制御を行う様になっている。

【0025】かかる構成において、入力端子1から映像信号が順次入力され、直列接続構成の遅延素子2～5において夫々信号の遅延が行われる。各遅延信号は乗算器11～15においてフィルタのタップ係数となる係数が乗算され、加算器21にて各乗算出力の総和が得られて、出力信号が導出される。

【0026】この場合、乗算器11～15へ入力される信号は、入力信号のタイミングによってはセクタ6～10を用いて断とされ、すなわち、“0”とされ、目的の信号から外れたタップの係数と対称となるタップの出力を“0”にする様に制御される。

【0027】本例では、例えば、乗算器11で構成されるタップに映像信号でない信号L19が印加された場合、制御信号S1によりセクタ6と10との出力を共に“0”になる様切換えるのである。

【0028】また、乗算器12、13で構成されるタップに映像でない信号L20、L19が夫々印加されると、制御信号S1、S2によりセクタ6、7、9、10の各出力を全て“0”になる様切換える。

【0029】図2は図1のデジタルフィルタの各タップ係数と制御信号S1～S3との関係を示した図であり、図13、14にて説明した如く、Lnは入力信号を示し、○は入力信号が映像信号であること、すなわちこのフィルタで処理しようとする信号を示し、●は入力信号がブランキング期間等の映像信号ではない、すなわちこのフィルタで処理しようとしていない信号を表す。

【0030】図3は図2と同じ条件での乗算器11～15の出力を夫々示している。また、図4は出力端子23における出力信号を表している。

【0031】図5は図1のセクタ制御部22の一例を示す図である。図5において、カウンタ57はHD（水平ドライブ）パルス51によりリセットされ、映像信号の水平同期信号から各画素までの距離をカウントするものである。

【0032】今、水平方向でのカウンタ57の出力がN+1の位置から画素が始まり、N+15の位置で画素が終了すると仮定すると、入力端子52には“N”、入力端子53には“N+12”を夫々入力しておくものとする（図6参照）。

【0033】比較器58、59にて、カウンタ57の出力T1と入力端子52、53の各入力“N”、“N+1

2”とが夫々比較される。比較器58の出力T2は1画素の遅延回路（DFF）60～62により順次遅延され、また比較器59の出力T3は遅延回路（DFF）63～65により順次遅延される。

【0034】DFF60～62の各出力T4～T6はSR-FF（セットリセットFF）66～68の各セット入力となり、DFF63～65の各出力T7～T9はSR-FF66～68の各リセット入力となっている。各SR-FF66～68の反転Q出力54～56が制御信号S1～S3となる。

【0035】図6は図5の回路の動作を示すタイミング図であり、これ等図からも明らかな如く、図1のセクタ6～10を制御するための目的とする制御信号S1～S3が得られることが判る。

【0036】図7は本発明の他の実施例のブロック図であり、図1と同等部分は同一符号にて示している。本例においても、5タップ構成の映像信号処理用デジタルフィルタを示す。

【0037】図7において、図1と異なる部分のみについて説明する。セクタ6～10の各一入力には、図1では“0”が印加されているが、本例では、符号変換器24～28の出力が夫々印加されている。符号変換器24は遅延素子5の出力の符号を変換するものであり、符号変換器25は遅延素子4の出力の符号を変換するものである。

【0038】符号変換器26は遅延素子3の出力の符号を変換するものであり、符号変換器27は遅延素子2の出力の符号を変換するものである。また、符号変換器28は入力信号INの符号を変換するものである。

【0039】そして、セクタ6～10の制御がセクタ制御部22からの制御信号S1～S5により夫々独立して行われる様になっている。他の構成は図1のそれと同一であってその説明は省略する。

【0040】かかる構成において、入力端子1から入力信号INが入力され、互いに直列接続された遅延素子2～5において夫々遅延される。各遅延出力はセクタ6～10へ夫々入力され、入力信号の状態によって、これ等遅延出力が選択されて乗算器11～15においてフィルタのタップ係数となる係数が乗算される。これ等乗算器11～15による乗算出力は加算器21にて総和がとられ、出力信号OUTとして出力端子23より導出される。

【0041】セクタ6～10は各タップに目的となる信号がかかっているかどうかによって出力信号を決定する様に制御される。フィルタにおいて、一方のタップに目的でない信号がかかったら、センタップに関して対称タップの乗算器に入力される信号の符号反転信号を、目的でない信号がかかったタップの乗算器に入力する。これにより目的でない信号がかかったタップとその対称となるタップの働きを打ち消してしまう様になってい

る。

【0042】本例では、センタタップへ入力される信号がL17になり、乗算器11で構成されるタップに映像でない信号L19がかかったら、制御信号S1によってセクタ6は遅延素子5の出力を符号変換回路24で正負反転させた信号を出力する。

【0043】図8は図7におけるデジタルフィルタの各タップの係数と制御信号を表した図である。図において、Lnは入力信号名を表し、○は目的とする画像信号を表し、●は目的とする画像以外の信号を表し、S1～S5はセクタ制御部22の第1～第5の出力から出力される各制御信号を表している。

【0044】センタタップの信号位置により、図の様なタップ係数がタップ係数発生器16～20から発生される。図9は図7と同じ条件の時の乗算器11～15の出力を表し、図10は出力端子23に出力される信号を表す。

【0045】図11は図7のセクタ制御部22の一例を示す図である。図11において、カウンタ105はHDパルス101によりリセットされ、映像信号の水平同期信号から各画素までの距離をカウントするものである。

【0046】今、水平方向でのカウンタ105の出力がN+1の位置から画素が始まり、N+15の位置で画素が終了すると仮定すると、入力端子102には“N”、入力端子103には“N+15”を夫々入力しておくものとする(図12参照)。

【0047】比較器106、107にて、カウンタ105の出力T1と入力端子102、103の各入力“N”、“N+15”とが夫々比較される。比較器106の出力T2は1画素の遅延回路(DFF)108～110により順次遅延され、また比較器107の出力T3は遅延回路(DFF)111～113により順次遅延される。

【0048】DFF111の出力T7はSR-FF115のセット入力となり、DFF112の出力T8はSR-FF116のセット入力となっている。また、DFF108の出力T4はSR-FF118のリセット入力となり、DFF109の出力T6はSR-FF119のリセット入力となっている。

【0049】HDパルス101はSR-FF116、117のリセット入力となり、またSR-FF118、119のセット入力となっている。SR-FF117のセット入力には、HDパルスとDFF113の出力T9とを2入力とするオアゲート114の出力が印加されている。そして、SR-FF115～119の各出力が制御信号S1～S5となる。

【0050】図12は図11の回路の動作を示す図であり、これ等図からも明らかな如く、図7のセクタ6～

10を制御するための目的とする制御信号S1～S5が得られる。

【0051】

【発明の効果】以上述べた如く、本発明によれば、非目的の信号がかかるタップとこれに対称なタップとの両者の効力を失わせる様にすることにより、デジタルフィルタの対称性を保つことができ、よって出力信号の位相が維持されて出力信号の位相歪みが抑圧できるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】図1のブロックにおける各タップの係数と制御信号との関係を示すタイミングチャートである。

【図3】図2と同一条件下における図1の乗算器の各出力信号のタイミングチャートである。

【図4】図2と同一条件下における図1のブロックの出力信号のタイミングチャートである。

【図5】図1のブロックのセクタ制御部22の一例を示す図である。

【図6】図5のブロックの動作を示すタイミングチャートである。

【図7】本発明の他の実施例のブロック図である。

【図8】図7のブロックにおける各タップの係数と制御信号との関係を示すタイミングチャートである。

【図9】図8と同一条件下における図7の乗算器の各出力信号のタイミングチャートである。

【図10】図8と同一条件下における図7のブロックの出力信号のタイミングチャートである。

【図11】図7のブロックのセクタ制御部22の一例を示す図である。

【図12】図11のブロックの動作を示すタイミングチャートである。

【図13】従来のデジタルフィルタの例を示す図である。

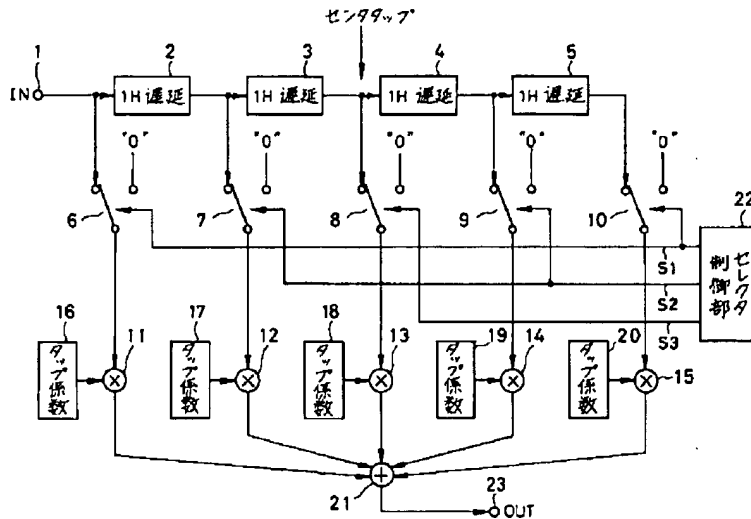
【図14】図14のブロックのタップ係数の変化を示す図である。

【図15】図14のブロックの出力信号の変化を示す図である。

【符号の説明】

- 1 入力端子
- 2～5 1H遅延素子
- 6～10 セクタ
- 11～15 乗算器
- 16～20 タップ係数発生器
- 21 加算器
- 22 セクタ制御部
- 23 出力端子
- 24～28 符号変換器

【図1】



【図4】

信号	S1	S2	S3
L1	●	1	1
L2	●	1	1
L3	●	1	1
L4	●	1	1
L5	●	1	1
L6	○	1	1
L7	○	1	0
L8	○	0	0
L9	○	0	0
L10	○	0	0
L11	○	0	0
L12	○	0	0
L13	○	0	0
L14	○	0	0
L15	○	0	0
L16	○	0	0
L17	○	1	0
L18	○	1	1
L19	○	1	1
L20	○	1	1
L21	○	1	1

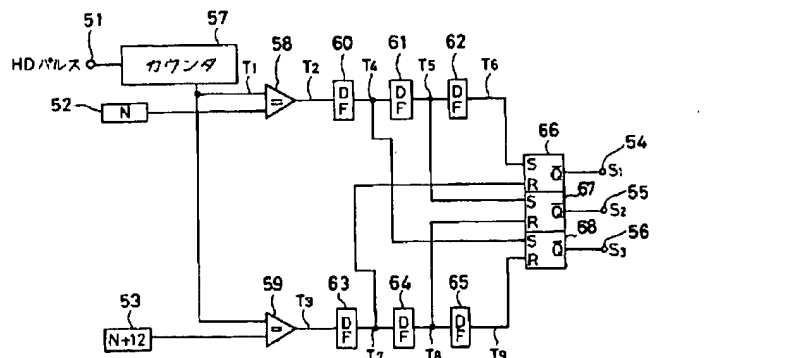
【図2】

信号	S1	S2	S3
L1	●	1	1
L2	●	1	1
L3	●	1	1
L4	●	1	1
L5	●	1	1
L6	○	1	1
L7	○	1	0
L8	○	0	0
L9	○	0	0
L10	○	0	0
L11	○	0	0
L12	○	0	0
L13	○	0	0
L14	○	0	0
L15	○	0	0
L16	○	0	0
L17	○	1	0
L18	○	1	1
L19	○	1	1
L20	○	1	1
L21	○	1	1

【図3】

信号	S1	S2	S3
L1	●	1	1
L2	●	1	1
L3	●	1	1
L4	●	1	1
L5	●	1	1
L6	○	1	1
L7	○	1	0
L8	○	0	0
L9	○	0	0
L10	○	0	0
L11	○	0	0
L12	○	0	0
L13	○	0	0
L14	○	0	0
L15	○	0	0
L16	○	0	0
L17	○	1	0
L18	○	1	1
L19	○	1	1
L20	○	1	1
L21	○	1	1

【図5】



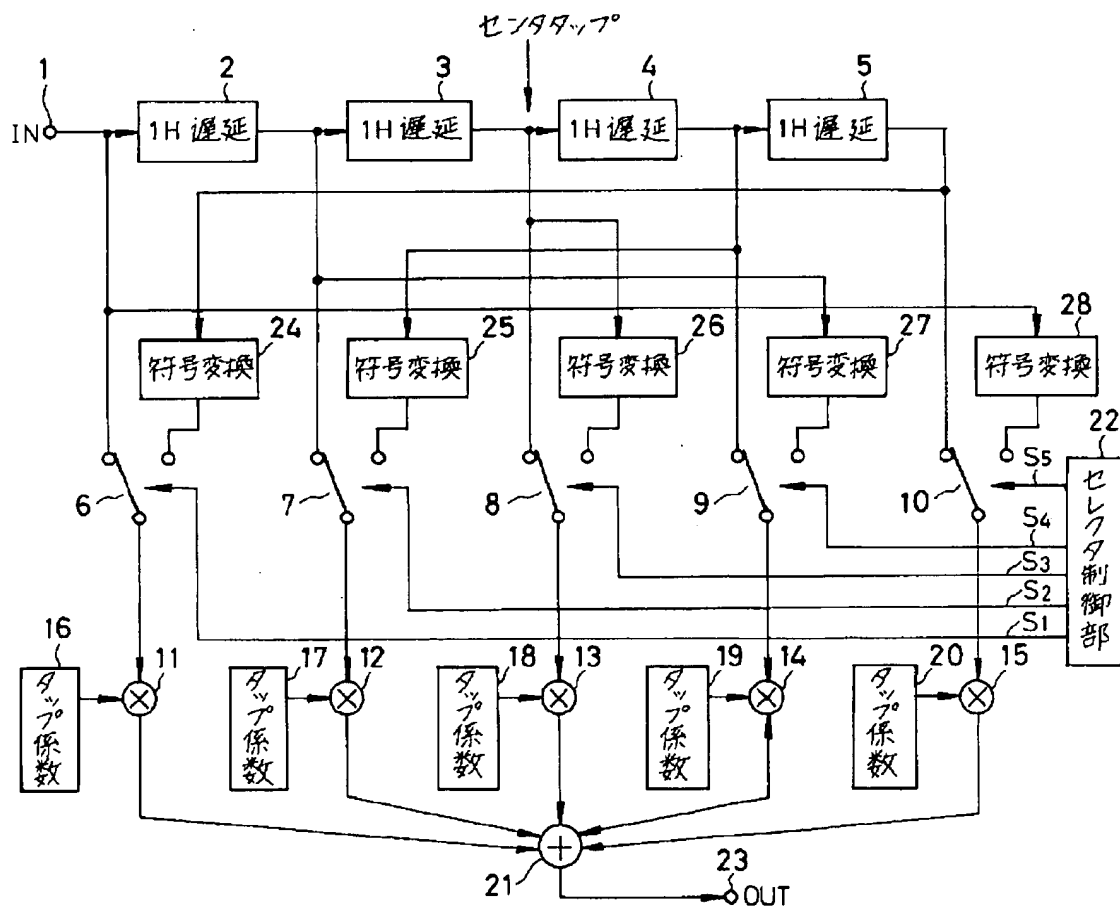
【図6】

信号	T1	T2	T3	T4	T5	T6	T7	T8	S1	S2	S3
L1 ●	N-3	0	0	0	0	0	0	0	1	1	1
L2 ●	N-2	0	0	0	0	0	0	0	1	1	1
L3 ●	N-1	0	0	0	0	0	0	0	1	1	1
L4 ●	N	1	0	0	0	0	0	0	1	1	1
L5 ●	N+1	0	0	1	0	0	0	0	1	1	1
L6 ○	N+2	0	0	0	1	0	0	0	1	1	0
L7 ○	N+3	0	0	0	0	1	0	0	1	0	0
L8 ○	N+4	0	0	0	0	0	0	0	0	0	0
L9 ○	N+5	0	0	0	0	0	0	0	0	0	0
L10 ○	N+6	0	0	0	0	0	0	0	0	0	0
L11 ○	N+7	0	0	0	0	0	0	0	0	0	0
L12 ○	N+8	0	0	0	0	0	0	0	0	0	0
L13 ○	N+9	0	0	0	0	0	0	0	0	0	0
L14 ○	N+10	0	0	0	0	0	0	0	0	0	0
L15 ○	N+11	0	0	0	0	0	0	0	0	0	0
L16 ○	N+12	0	1	0	0	0	0	0	0	0	0
L17 ○	N+13	0	0	0	0	1	0	0	1	0	0
L18 ○	N+14	0	0	0	0	0	1	0	1	1	0
L19 ●	N+15	0	0	0	0	0	0	1	1	1	1
L20 ●	N+16	0	0	0	0	0	0	1	1	1	1
L21 ●	N+17	0	0	0	0	0	0	1	1	1	1

【図8】

信号	S1	S2	S3	S4	S5
L1 ●	0	0	1	1	1
L2 ●	0	0	1	1	1
L3 ●	0	0	1	1	1
L4 ●	0	0	1	1	1
L5 ●	0	0	1	1	1
L6 ○	0	0	0	1	1
L7 ○	0	0	0	0	1
L8 ○	0	0	0	0	0
L9 ○	0	0	0	0	0
L10 ○	0	0	0	0	0
L11 ○	0	0	0	0	0
L12 ○	0	0	0	0	0
L13 ○	0	0	0	0	0
L14 ○	0	0	0	0	0
L15 ○	0	0	0	0	0
L16 ○	0	0	0	0	0
L17 ○	1	0	0	0	0
L18 ○	1	1	0	0	0
L19 ●	1	1	1	0	0
L20 ●	1	1	1	0	0
L21 ●	1	1	1	0	0

【図7】



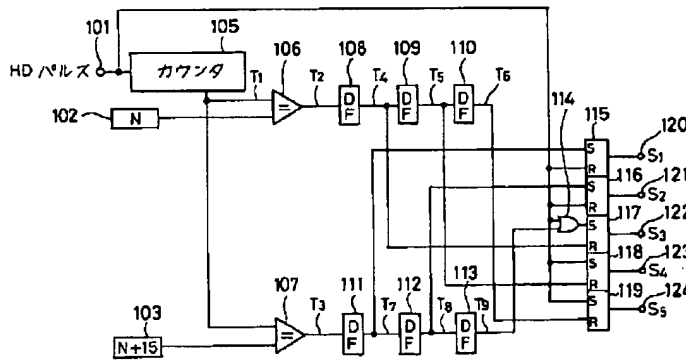
【図9】

信号	S1	S2	S3	S4	S5
L1	0	0	1	1	1
L2	0	0	1	1	1
L3	0	0	1	1	1
L4	0	0	1	1	1
L5	0	0	1	1	1
L6	0	0	0	1	1
L7	0	0	0	1	1
L8	0	0	0	1	1
L9	0	0	0	1	1
L10	0	0	0	1	1
L11	0	0	0	1	1
L12	0	0	0	1	1
L13	0	0	0	1	1
L14	0	0	0	1	1
L15	0	0	0	1	1
L16	0	0	0	1	1
L17	0	0	0	1	1
L18	0	0	0	1	1
L19	0	0	0	1	1
L20	0	0	0	1	1
L21	0	0	0	1	1

【図10】

信号	S1	S2	S3	S4	S5
L1	0	0	1	1	0
L2	0	0	1	1	0
L3	0	0	1	1	0
L4	0	0	1	1	0
L5	0	0	1	1	0
L6	0	0	0	1	1
L7	0	0	0	1	1
L8	0	0	0	1	1
L9	0	0	0	1	1
L10	0	0	0	1	1
L11	0	0	0	1	1
L12	0	0	0	1	1
L13	0	0	0	1	1
L14	0	0	0	1	1
L15	0	0	0	1	1
L16	0	0	0	1	1
L17	0	0	0	1	1
L18	0	0	0	1	1
L19	0	0	0	1	1
L20	0	0	0	1	1
L21	0	0	0	1	1

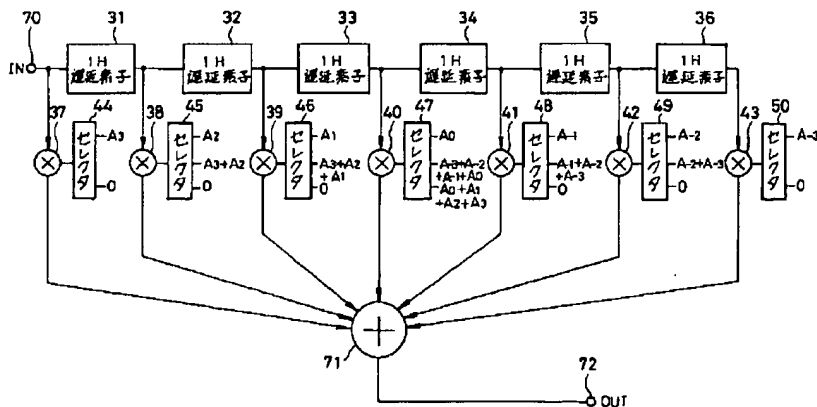
【図11】



【図12】

信号	T1	T2	T3	T4	T5	T6	T7	T8	T9	S1	S2	S3	S4	S5
L1	N-3	0	0	0	0	0	0	0	0	0	0	1	1	1
L2	N-2	0	0	0	0	0	0	0	0	0	0	1	1	1
L3	N-1	0	0	0	0	0	0	0	0	0	0	1	1	1
L4	N	1	0	0	0	0	0	0	0	0	0	1	1	1
L5	N+1	0	0	1	0	0	0	0	0	0	0	1	1	1
L6	N+2	0	0	1	0	0	0	0	0	0	0	1	1	1
L7	N+3	0	0	0	1	0	0	0	0	0	0	1	1	1
L8	N+4	0	0	0	0	1	0	0	0	0	0	1	1	1
L9	N+5	0	0	0	0	0	1	0	0	0	0	1	1	1
L10	N+6	0	0	0	0	0	0	1	0	0	0	1	1	1
L11	N+7	0	0	0	0	0	0	0	1	0	0	1	1	1
L12	N+8	0	0	0	0	0	0	0	0	1	0	1	1	1
L13	N+9	0	0	0	0	0	0	0	0	0	1	1	1	1
L14	N+10	0	0	0	0	0	0	0	0	0	0	1	1	1
L15	N+11	0	0	0	0	0	0	0	0	0	0	0	1	1
L16	N+12	0	1	0	0	0	0	0	0	0	0	0	0	1
L17	N+13	0	0	0	0	0	1	0	0	1	0	0	0	0
L18	N+14	0	0	0	0	0	0	1	0	1	1	0	0	0
L19	N+15	0	0	0	0	0	0	0	1	1	1	1	0	0
L20	N+16	0	0	0	0	0	0	0	0	1	1	1	0	0
L21	N+17	0	0	0	0	0	0	0	0	1	1	1	0	0

【図13】



8/18-044-105

【図14】

入力信号	タップ係数			
L1 ●				
L2 ●	(センタタップ*L6)			
L3 ●	0	(センタタップ*L7)		
L4 ●	0	0	(センタタップ*L8)	
L5 ●	0	0	0	(センタタップ*L9)
L6 ○	$A-3+A-2+A-1+A0$	$A-3+A-2+A-1$	$A-3+A-2$	$A-3$
L7 ○	A1	A0	A-1	A-2
L8 ○	A2	A1	A0	A-1
L9 ○	A3	A2	A1	A0
L10 ○		A3	A2	A1
L11 ○	(センタタップ*L15)		A3	A2
L12 ○	A-3	(センタタップ*L16)		A3
L13 ○	A-2	A-3	(センタタップ*L17)	
L14 ○	A-1	A-2	A-3	(センタタップ*L18)
L15 ○	A0	A-1	A-2	A-3
L16 ○	A1	A0	A-1	A-2
L17 ○	A2	A1	A0	A-1
L18 ○	A3	$A2+A3$	$A1+A2+A3$	$A0+A1+A2+A3$
L19 ●		0	0	0
L20 ●			0	0

【図15】

入力信号	出力信号
L1 ●	0
L2 ●	0
L3 ●	0
L4 ●	0
L5 ●	0
L6 ○	$(A-3+A-2+A-1+A0) \cdot L6 + A1 \cdot L7 + A2 \cdot L8 + A3 \cdot L9$
L7 ○	$(A-3+A-2+A-1) \cdot L6 + A0 \cdot L7 + A1 \cdot L8 + A2 \cdot L9 + A3 \cdot L10$
L8 ○	$(A-3+A-2) \cdot L6 + A-1 \cdot L7 + A0 \cdot L8 + A1 \cdot L9 + A2 \cdot L10 + A3 \cdot L11$
L9 ○	$A-3 \cdot L6 + A-2 \cdot L7 + A-1 \cdot L8 + A0 \cdot L9 + A1 \cdot L10 + A2 \cdot L11 + A3 \cdot L12$
L10 ○	$A-3 \cdot L7 + A-2 \cdot L8 + A-1 \cdot L9 + A0 \cdot L10 + A1 \cdot L11 + A2 \cdot L12 + A3 \cdot L13$
L11 ○	$A-3 \cdot L8 + A-2 \cdot L9 + A-1 \cdot L10 + A0 \cdot L11 + A1 \cdot L12 + A2 \cdot L13 + A3 \cdot L14$
L12 ○	$A-3 \cdot L9 + A-2 \cdot L10 + A-1 \cdot L11 + A0 \cdot L12 + A1 \cdot L13 + A2 \cdot L14 + A3 \cdot L15$
L13 ○	$A-3 \cdot L10 + A-2 \cdot L11 + A-1 \cdot L12 + A0 \cdot L13 + A1 \cdot L14 + A2 \cdot L15 + A3 \cdot L16$
L14 ○	$A-3 \cdot L11 + A-2 \cdot L12 + A-1 \cdot L13 + A0 \cdot L14 + A1 \cdot L15 + A2 \cdot L16 + A3 \cdot L17$
L15 ○	$A-3 \cdot L12 + A-2 \cdot L13 + A-1 \cdot L14 + A0 \cdot L15 + A1 \cdot L16 + A2 \cdot L17 + A3 \cdot L18$
L16 ○	$A-3 \cdot L13 + A-2 \cdot L14 + A-1 \cdot L15 + A0 \cdot L16 + A1 \cdot L17 + (A2 + A3) \cdot L18$
L17 ○	$A-3 \cdot L14 + A-2 \cdot L15 + A-1 \cdot L16 + A0 \cdot L17 + (A1 + A2 + A3) \cdot L18$
L18 ○	$A-3 \cdot L15 + A-2 \cdot L16 + A-1 \cdot L17 + (A0 + A1 + A2 + A3) \cdot L18$
L19 ●	0
L20 ●	0

フロントページの続き

(51)Int.Cl.⁶

H03H 17/08

H04N 5/14

識別記号

FI

H03H 17/08

H04N 5/14

A

Z